

Fecha del CVA	27/12/2021
----------------------	------------

Parte A. DATOS PERSONALES

Nombre y apellidos	ANTONIO JOSE ACOSTA JIMENEZ		
DNI/NIE/pasaporte	28885593P	Edad	54
Núm. identificación del investigador	Researcher ID	M-9614-2018	
	Código Orcid	0000-0002-7934-9162	

A.1. Situación profesional actual

Organismo	Universidad de Sevilla		
Dpto./Centro	Electrónica y Electromagnetismo		
Dirección	Avda. Reina Mercedes s/n, Sevilla, Andalucía, España		
Teléfono	954466666	correo electrónico	acojim@us.es
Categoría profesional	Catedrático de Universidad	Fecha inicio	2011
Espec. cód. UNESCO	3307-03, 2203-07		
Palabras clave	Diseño de ASICs digitales y de señal mixta de muy altas prestaciones; Potencia, temporización y ruido en tecnologías CMOS; aplicaciones integradas criptobiométricas, de control y de visión activa. Microelectrónica para seguridad, criptohardware seguro.		

A.2. Formación académica (título, institución, fecha)

Licenciatura/Grado/Doctorado	Universidad	Año
Licenciado: Física Electrónica	SEVILLA	1989
Doctor en Física	SEVILLA	1995

A.3. Indicadores generales de calidad de la producción científica

- Sexenios: 5 de investigación (90-95,96-01,02-07,08-13,14-20), 1 de transferencia (11-16)
- Tesis dirigidas en los últimos 10 años: 3
- Citas totales: 1585 (*Google Scholar*)
- Promedio citas/año en los últimos 5 años: 99 (*Google Scholar*)
- Publicaciones totales en el primer cuartil Q1: 13
- Índice h: 18 (*Google Scholar*)
- Otros indicadores: Índice i10: 32 (*Google Scholar*)

Parte B. RESUMEN LIBRE DEL CURRÍCULUM

Actividades Docentes

Docencia en 1^{er} y 2^o ciclo desde 1990 y desde 1995, en 3^{er} ciclo, en los Programas de Doctorado de Microelectrónica y Ciencias y Tecnologías Físicas, Máster en Microelectrónica y de Formación de Profesorado, como coordinador de asignaturas y director de TFM (11). Participante (7) e IP (4) de proyectos de innovación docente. Asistente, ponente (7) y revisor en Congresos Docentes (TAEE, IEEE Educon) e impartición de cursos de Extensión Universitaria.

Puesta en marcha (secretario de la COA, redactor de la Memoria de Verificación) del Máster en Microelectrónica, título pionero de docencia on-line en la Univ. de Sevilla, del que ha sido coordinador en 2011-16.

Premios a la excelencia docente (93/94 y 05/06), con 6 quinquenios docentes reconocidos.

Actividades Científicas

Adscrito al Instituto de Microelectrónica de Sevilla, dirige el grupo TIC-180 del Plan Andaluz de Investigación "Diseño de Circuitos Integrados Digitales y Mixtos", ha dirigido (7) y participado (25) en Proyectos de Investigación financiados en el área de Microelectrónica, con aplicaciones a criptografía, comunicaciones, control, visión artificial, etc, centrados en el diseño, integración y test de ASICs y sistemas de señal mixta de altas prestaciones. Colabora habitualmente con equipos de investigación nacionales e internacionales.



Es coautor de 2 libros, 2 capítulos de libros y 31 artículos en revistas indexadas de gran calidad en su área (TCAS, JSSC, TCOM, TNN, IJCTA, EL, etc).

Tiene 116 publicaciones en congresos internacionales muy prestigiosos en el Area (DATE, ESSCIRC, ISCAS, PATMOS, ECCTD, ICECS, etc), a los que asiste habitualmente como ponente o sesión chair (algunos presentan razones de aceptación inferiores al 25%).

Ha dirigido (2) y participado (9) contratos con la industria. Tiene una patente con extensión PCT y otras dos nacionales, una de ellas en explotación. Ha dirigido 5 tesis doctorales y 14 trabajos de investigación.

Pertenece al Comité Editorial de: Integration, the VLSI Journal (Elsevier), Int. J. of Circuit Theory and Applications (Wiley), J. of Low Power Electronics (ASPBs) e IEEE Trans. on Circuits and Systems-II.

Ha co-editado el número especial "Secure lightweight criptohardware" en la revista Int. J. of Circuit Theory and Applications (Wiley), Febrero 2017.

Ha participado en la organización de PATMOS02 (General Chair), DCIS07, ECCTD07, ETS09, ESSCIRC10, Track Chair de ICECS08,10, ECCTD07,13. Ha sido panelista en DTIS07, SEEIC19 y conferenciante invitado a ESSA14. Es miembro del Comité de Programa de DATE, FTFC, GLSVLSI, PECCS. Ha organizado sesiones especiales en ECCTD07 e ICM10. Es revisor de conferencias y revistas internacionales (+700 revisiones).

Actividades de Gestión

Secretario (4/2009-6/2012) y Director (6/2012-3/2016) del Depto. de Electrónica y Electromagnetismo de la U. de Sevilla.

Vicedecano de Ordenación Académica, Fac. de Física - Univ. de Sevilla (3/2016-5/2017).

Decano de la Fac. de Física - Univ. de Sevilla (5/2017-sigue).

Claustal Electo Univ. de Sevilla (1/18-sigue) y Miembro Electo de su Mesa (1/18-12/19).

Adjunto del subárea "Electrónica" del área TEC de la ANEP, en 2009-13, gestionando evaluaciones de expertos en convocatorias nacionales y autonómicas. Representante en las comisiones evaluadoras del Plan Nacional en el Área TEC y en las Comisiones de Contratos Ramón y Cajal y Juan de la Cierva.

Miembro del Panel de Expertos 2015 del Plan Nacional en el Área TEC, Retos y Excelencia.

Miembro del Panel Evaluador 2011 del Plan Estratégico del INTA.

Pertenece al Steering Committee de PATMOS desde 2002.

Actividades de Divulgación

IP de 3 proyectos de divulgación científica financiados, participando en conferencias en distintos foros, Noche de los Investigadores, etc. Ha escrito el libro de divulgación "La Nanotecnología", de la serie "Un Paseo por el Cosmos" (RBA Editores, 2016).

Parte C. MÉRITOS MÁS RELEVANTES (Ultimos 10 años)

C.1. Publicaciones en Revista

1. Delgado, Ignacio; Tena, Erica; Núñez, Juan; Acosta, Antonio J., "Design and analysis of secure emerging crypto-hardware using HyperFET devices", IEEE Transactions on Emerging Topics in Computing, 9-2, 787-792, 2021.
2. Delgado, Ignacio; Tena, Erica; Núñez, Juan; Acosta, Antonio J., Projection of Dual-Rail DPA Countermeasures in Future FinFET and Emerging TFET Technologies, ACM Journal on Emerging Technologies in Computing Systems, 16-3, 1-16, 2020.
3. Tena-Sánchez Erica, Acosta, Antonio J. Logic minimization and wide fan-in issues in DPL-based cryptocircuits against power analysis attacks. Int J Circ Theor Appl. 47-2, 238-253, 2019.
4. Acosta, Antonio J., Addabbo, Tommaso, Tena, Erica, Embedded electronic circuits for cryptography, hardware security and true random number generation: an overview. International Journal on Circuit Theory and Applications, 45-2: 145-169, 2017.
5. Acosta, Antonio J., Tena, Erica, Jiménez, Carlos J., Mora, José M., "Power and energy issues on lightweight cryptography", Journal of Low Power Electronics, vol. 13, no. 3, pp. 326-337, 2017.
6. Brox, Piedad; Martínez, Macarena C.; Tena, Erica; Baturone, Iluminada; Acosta, Antonio



- J., Application specific integrated circuit solution for multi- input multi-output piecewise-affine functions. *International Journal on Circuit Theory and Applications*, 44: 4-20, 2016
7. Tena, Erica; Castro, Javier; Acosta, Antonio J., A Methodology for Optimized Design of Secure Differential Logic Gates for DPA Resistant Circuits. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*. 4: 203- 215, 2014
 8. Brox, Piedad; Castro, Javier; Martínez, Macarena C.; Tena, Erica; Jimenez, Carlos J.; Baturone, Iluminada; Acosta, Antonio J., A Programmable and Configurable ASIC to Generate Piecewise-Affine Functions Defined over General Partitions. *IEEE Transactions on Circuits and Systems. Part I: Regular Papers*. 60: 3182-3194, 2013.
 9. Brox, Piedad; Castro, Javier; Martínez, Macarena C.; Tena, Erica; Jimenez, Carlos J.; Baturone, Iluminada; Acosta, Antonio J., A Programmable and Configurable ASIC to Generate Piecewise-Affine Functions Defined over General Partitions. *IEEE Transactions on Circuits and Systems. Part I: Regular Papers*. 60: 3182-3194, 2013.
 10. Camuñas, Luis A.; Zamarreño, Carlos; Linares, Alejandro; Acosta, Antonio J.; Serrano, Teresa; Linares, Bernabé. An Event-Driven Multi-Kernel Convolution Processor Module for Event-Driven Vision Sensors. *IEEE J. of Solid-State Circuits*. 47: 504-517, 2012.

C.2. Proyectos

1. Secure platform for ICT systems rooted at the silicon manufacturing process, Comisión Europea 952622-H2020-SU-ICT-2019, 2021-23, IP: Brox Jiménez, Piedad. 930.690€
2. Diseño, implementación y validación en hardware de una raíz de confianza resistente a ataques, para sistemas empotrados seguros, Ministerio de Ciencia e Innovación, PID2020-116664RB-100, 2021-2024, IP: Jiménez Fernández, Carlos Jesús. 146.410€
3. Integración y Validación en Laboratorio de Contramedidas frente a Ataques Laterales en Circuitos Microelectrónicos. TEC2016-80549-R, IP: Acosta Jiménez, Antonio José. 86.400€
4. Circuitos Microelectrónicos Seguros Frente a Ataques Laterales. Ministerio de Economía y Competitividad, TEC2013-45534-R. 2014-17. IP: Acosta Jiménez, Antonio José. 119.400€
5. Circuitos Integrados para Transmisión de Información Especialmente Segura. Ministerio de Ciencia e Innovación, TEC2010-16870. 2011-14. IP: Jiménez Fernández, Carlos Jesús. 106.722€.
6. Model-Based Synthesis of Digital Electronic Circuits for Embedded Control. Comisión Europea IST-VIIPM N°-248858. 2009-12. IP: Acosta Jiménez, Antonio José. 450.000€.
7. Diseño Microelectrónico para Autenticación Cripto-Biométrica. Junta de Andalucía TEC2008-3674. 2009-12. IP: Baturone Castillo, Iluminada. 439.847€

C.3. Contratos

1. CbDOC: Gestión documental con autenticación segura mediante técnicas Cripto-Biométricas vía hardware, INNFACTO IPT-2012-0695-390000. IP: Baturone Castillo, Iluminada. Ministerio de Ciencia e Innovación, 2012-14. 542.811,50€
2. FRAMING: Diseño VLSI de módulo digital serializador (framing) de altas prestaciones para un sensor quad-lineal de alta velocidad de 16k píxeles. Contrato industrial con Innovaciones Microelectrónicas SL, 2014. IP: Piedad Brox. 9.000€

C.4. Patentes

1. Acosta-Jimenez, Antonio Jose; Baturone-Castillo, Iluminada; Castro-Ramirez, Javier; Jimenez-Fernandez, Carlos Jesus; Brox-Jimenez, Piedad; Martínez-Rodríguez, Macarena Cristina. Método para generar funciones multivariables afines a tramos con computación on-line del árbol de búsqueda y dispositivo para implementación del método. 2012. P201200608. Explotada por Canaan Research&Investment. Extensión PCT/ES2013/000134-WO2013/182717A1. US Patent 20,150,301,555, 2015.

C.5 Conferencias Invitadas



1. Emerging Design Challenges for Complex SoCs, Panelista invitado en el congreso 2nd Federative Event on Design for Robustness, Julio 2017, Thessaloniki (Grecia).
2. Low Power and Security Trade-off in Hardware: From True Random Number Generators to DPA Resilience, Energy Secure Systems Architecture Workshop (ESSA'14), June 2014, Minneapolis (USA). Congreso International Symposium on Circuit Architecture (ISCA).

C.6 Dirección de Trabajos

1. Tesis Doctorales dirigidas: 5
2. Trabajos Fin de Máster: 13
3. Trabajos Fin de Grado: 16
4. DEA y otros trabajos de investigación: 9

C.7 Comités y revisor

1. Comité Editorial de las revistas: Integration, the VLSI Journal (Elsevier), Int. J. of Circuit Theory and Applications (Wiley), J. of Low Power Electronics (ASPBs) e IEEE Trans. on Circuits and Systems-II.
2. Miembro del Steering Committee de PATMOS. General Chair de PATMOS 2002
3. Miembro del Comité de Programa de DATE, FTFC, GLSVLSI, PECCS, TAAE.
4. Ha participado en la organización de DCIS07, ECCTD07, ETS09 y ESSCIRC10, como Finance Chair.
5. Ha sido Track Chair de ICECS08, ICECS10, ICECS15, ECCTD07 y ECCTD13.
6. Ha organizado sesiones especiales en ECCTD07 e ICM10.
7. Ha organizado el número especial "Secure lightweight criptohardware" en la revista Int. J. of Circuit Theory and Applications (Wiley), Febrero 2017.
8. Es revisor de conferencias ((DATE, ECCTD, ISCAS, ICECS, TAAE, EDUCON, FTFC, GLSVLSI, DCIS, PATMOS) y revistas internacionales IEEE (TCAS-I, TVLSI, JSSC, TCOMP, TSM), EL, JOLPE, Sensors, IJCTA, (más de 600 revisiones).

C.8 Gestión Investigación

1. Adjunto del subárea "Electrónica" al coordinador del área "Tecnología Electrónica y de las Comunicaciones (COM) de la Agencia Nacional de Evaluación y Prospectiva (ANEP). Marzo 2009- Diciembre 2013
2. Miembro del Panel Evaluador del Plan Estratégico del Instituto Nacional de Técnica Aeroespacial (INTA) (2011-15). Enero 2011.
3. Miembro Comisión Técnica del área temática de gestión de Tecnologías Electrónicas y de Comunicaciones (TEC), Tecnologías Electrónicas (TEC-MIC), para la valoración y selección de las solicitudes de ayudas para la realización de Proyectos de Investigación dentro del Programa Estatal de Fomento de la Investigación Científica y Técnica de Excelencia 2014, del Ministerio de Economía y Competitividad. Febrero 2015

C.9 Divulgación

1. Autor libro de divulgación "La Nanotecnología", de la serie "Un Paseo por el Cosmos" (RBA Editores, 2016). ISBN: 978-84-473-8382-5
2. Asesor científico de la serie "Fronteras de la Ciencia", RBA Editores, 2017.
3. Responsables de 3 proyectos de divulgación científica financiados por el Plan Propio de Investigación de la Universidad de Sevilla (con apariciones en la prensa local y regional):
 - Proyecto expositivo-educativo. Un microuniverso electrónico en la palma de tu mano (la evolución de la microelectrónica a través del mundo del teléfono móvil), 2013. 3000€
 - ¿Te atreves a ser científico? Acercando la microelectrónica a jóvenes estudiantes de centros educativos de la provincia de Sevilla, 2014. 2500€
 - El mundo de los chips: ciencia e ingenio en nanoescala, 2015. 2000€
4. Conferencias en Microelectrónica y Nanotecnología en Centros de Secundaria, 2008-18.
5. Universidad de Sevilla, European Corner. Noche de los Investigadores, 2014.